

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-253374

(43) 公開日 平成4年(1992)9月9日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788 29/792 27/115		7377-4M 8831-4M	H 0 1 L 29/78 27/10	3 7 1 4 3 4 審査請求 未請求 請求項の数7 (全 13 頁)

(21) 出願番号 特願平3-28028

(22) 出願日 平成3年(1991)1月29日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 金沢 賢一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 長谷川 文廣 (外2名)

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【要約】

【目的】 不揮発性半導体記憶装置およびその製造方法に関し、情報を多値データとして記憶することを目的とする。

【構成】 第1導電型の半導体基板1に形成された2個の第2導電型領域2、3と、2個の第2導電型の領域2、3間の半導体基板上に第1絶縁膜を介して形成された蓄積電極4と、該蓄積電極4上に絶縁層7を介して形成された制御電極5とから形成され、半導体基板1と上記第2導電型領域との間のアバランシェ降伏により発生する高エネルギーの電荷を蓄積電極4に蓄積する不揮発性半導体記憶装置において、第2導電型領域の一方を高電圧側として書き込む場合と、高電圧として書き込みを行う場合とで書き込み特性を異ならしめるように、2個の第2導電型領域の構造を互いに異ならせるかもしくは蓄積電極4と半導体基板1間の構造を第2導電型領域の一方の側と他方の側とで異なるようにした構成を持つ。

1

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板(1)に形成された2個の第2導電型領域(2), (3)と、該2個の第2導電型の領域(2), (3)間の半導体基板上に第1絶縁層を介して形成された蓄積電極(4)と、該蓄積電極(4)上に絶縁層(7)を介して形成された制御電極(5)とから形成され、半導体基板(1)と上記第2導電型領域との間のPN接合に高い逆方向バイアス電圧を印加したときに生じるアバランシェ降伏により発生する高エネルギーの電荷を蓄積電極(4)に蓄積する不揮発性半導体記憶装置において、上記第2導電型領域の一方を高電圧側として書き込む場合と、他方を高電圧として書き込みを行う場合とで書き込み特性を異ならしめるように、2個の第2導電型領域の構造を互いに異ならせるかもしくは蓄積電極(4)と半導体基板(1)間の構造を第2導電型領域の一方の側と他方の側とで異ならしめるようにしたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 上記第2導電型領域の一方に、半導体基板との間に低不純物濃度領域を設けたことを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 半導体基板上に形成された上記第1絶縁層の厚さを上記2個の第2導電型領域の一方と他方の側とで互いに異ならせたことを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】 蓄積電極と一方の第2導電型領域とのオーバーラップ長を2個の第2導電型領域の一方の側と他方の側とで互いに異ならせたことを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項5】 半導体基板表面に第1絶縁層を形成する工程と、上記絶縁層上に蓄積電極層を形成し、パターンニングし、該蓄積電極層上に第2絶縁層を形成する工程と、隣合う蓄積電極間に一つおきに低不純物濃度領域を形成する工程と、各蓄積電極間に高不純物濃度の領域を形成する工程と、蓄積電極上に第3絶縁層を介して制御電極を設ける工程とを含むことを特徴とする請求項2に記載の不揮発性半導体記憶装置の製造方法。

【請求項6】 シリコン基板表面に第1絶縁層を形成する工程と、該第1絶縁層の所定部分を除去して、段差を形成する工程と、該段差を覆うように蓄積電極を形成する工程と、該蓄積電極上に第2絶縁層を介して制御電極を形成する工程とを含むことを特徴とする請求項3に記載の不揮発性半導体記憶装置の製造方法。

【請求項7】 シリコン基板表面に酸化膜を形成する工程、上記酸化膜上に蓄積電極層を形成し、パターンニングし、蓄積電極層上に酸化膜を形成する工程、隣合う一つおきの蓄積電極間に一方の第2導電型領域を形成し、アニールすることにより該領域を拡大する工程と、該工程により第2導電型領域が形成されていない蓄積電極間のみ、もしくは全蓄積電極間に第2導電型領域を形成する工程と、蓄積電極上に絶縁層を介して制御電極を設ける

2

工程よりなることを特徴とする請求項4に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は不揮発性半導体記憶装置およびその製造方法に関する。従来、アバランシェ降伏を利用して蓄積電極に電荷を蓄積するフローティングゲートアバランシェMOS（以後FAMOSと称する）等の不揮発性半導体記憶装置は、二値データの記憶に限られていた。

【0002】ところで、集積化された記憶装置に情報を記憶する場合、二値データとして記憶するより多値データとして記憶する方が記憶情報量は多くなる。このことは、記憶装置に多値データで記憶することにより実質的に記憶容量を増加させることができ、集積度を向上させたことに等しくなることを意味する。本発明は不揮発性の記憶装置として用いた場合、情報を多値データとして記憶し、実質的に記憶容量を大きくできるようなFAMOS等の不揮発性半導体記憶装置を得ることを目的とする。

【0003】

【従来の技術】 従来の蓄積電極ゲートMOS半導体装置を図16に示す。図において(a)は従来のnチャネルFAMOSおよびその書き込みの動作を示し、図(b)はnチャネルFAMOSおよびその読み出しの動作を示す。図(a)、図(b)において、281はp型シリコン(p-Si)基板、282はN⁺型のソース領域、283はN⁺型のドレイン領域、284は蓄積電極の蓄積電極、285は制御電極、286は蓄積電極と基板間の絶縁層、287は蓄積電極284と制御電極間285の絶縁層である。

【0004】図(a)により書き込みの場合の動作を説明する。書き込みは、図示のように制御電極285に高電圧(12.5V)を印加した状態で、ドレイン-ソース間に高電圧(6~8V)を印加する。その結果、基板281とドレイン領域283のPN接合に逆バイアスの高電圧が加わり、アバランシェ降伏を生じる。その結果発生する高エネルギーの電荷(以後単に電荷と称する)が発生し、蓄積電極284に蓄積される。

【0005】蓄積電極284が帯電した結果、書き込み前に比べて、書き込み後でゲート電圧に対する閾値(以後単に閾値と称する)が大きくなる。この閾値の変化を利用して書き込みの有無を判定することができる。図(b)により読み出しの動作を説明する。読み出しはドレイン-ソース間に低電圧(1V)を印加しておき、制御電極285に読み出し電圧(5V)を印加する。この動作条件において、蓄積電極284に電荷が蓄積されている状態では閾値が高いためドレイン電流が流れないのに対して、電荷が蓄積されていない状態では閾値が低いのでドレイン電流が流れ、書き込みの有無を判定できる。

【0006】

【発明が解決しようとする課題】 上記のように、従来のFAMOSは二値データの書き込みしかできないため、FAMOSにより大容量の記憶装置とする場合にはFAMOS集積回路の集積度を高くする必要があった。集積回路を高集積化することは、プロセス技術が難しくなることから、できるだけ集積度を抑え、低コストで大容量の記憶装置を得るようにすることが望まれる。本発明は、記憶装置に適用した場合、実質的に記憶容量を大きくすることの可能な蓄積電極ゲートMOS半導体装置を得ることを目的とする。

【0007】

【課題を解決するための手段】 本発明は、ドレインもしくはソースとなる第2導電型の領域に対していずれを高電圧側として選択しても書き込み可能な構成とし、一方の側を高電圧として書き込みを行った場合と他方の側を高電圧として書き込みを行った場合とで書き込み特性が異なるようにした。

【0008】 図1に本発明の基本構成を、nチャネルFAMOSにおいて第2導電型の領域の一方（図ではソース領域）と半導体基板間に低不純物濃度領域（以後、単に低濃度領域と称する）を形成することにより一方が他方よりアバランシェ降伏がおきにくいような構造とした場合を例として説明する。本発明においては、2個の第2導電型領域のうちいずれをドレイン領域として高電圧側に選択してもよい構造であるが、以下の説明においては便宜的に第2導電型領域のうち一方をドレイン領域、他方をソース領域として位置を固定して説明するものとする。

【0009】 図1(a)は本発明のFAMOS構造(1)、図(b)はドレイン側にアバランシェ降伏を生じさせてドレイン側から書き込んだ場合、図(c)はソース側にアバランシェ降伏を生じさせてソース側から書き込んだ場合を示す。図(a)、図(b)、図(c)において、1は基板(p-Si)、2はソース領域(N⁺)、3はドレイン領域(N⁺)、4は蓄積電極、5は制御電極、6、7は絶縁層、8は低濃度領域(N⁻)である。

【0010】

【作用】 図1(b)および(c)により本発明における書き込みを説明する。図(b)はドレイン領域からの書き込みを示す。図示のように、ドレイン領域3とソース領域2間にドレイン領域3側を高電圧として6~8V程度の電圧を印加する。そして、制御電極5には12.5V程度の高電圧を印加する。その結果、ドレイン領域3と基板1間のPN接合に逆方向の高電圧が加わりアバランシェ降伏を生じる。そしてアバランシェ降伏により発生した電荷は蓄積電極4に吸引され蓄積される。図(c)はソース側から書き込みを示す。図示のように、ソース領域2とドレイン領域3間にソース領域2を高電圧として6~8V程度の電圧を印加する。そして、制御電極5には1

2.5V程度の高電圧を印加する。その結果、ソース領域2と半導体基板1間のPN接合に逆バイアスの高電圧が加わってアバランシェ降伏を生じ、発生した電荷は蓄積電極4に蓄積される。

【0011】 ところで、本発明においては、ソース領域2の側には高不純物濃度領域(N⁺)（以後、単に高濃度領域と称する）と基板1間にN⁻の低濃度領域8が設けられているので、ドレイン領域3と基板1間のPN接合より、濃度勾配が緩やかである。そのため、アバランシェ降伏はドレイン領域3側の方がソース領域2側より起こりやすく、発生する電荷量もドレイン領域3側のアバランシェ降伏による方が多くなる。そのため、ドレイン領域3側から書き込んだ方がソース領域2側から書き込むより蓄積される電荷量が多くなる。その結果、ドレイン領域3側から書き込んだ場合の方が、ソース領域2側から書き込んだ場合より閾値が高くなり、この閾値特性の相違を利用して情報を3値データとして記憶させることが可能になる。

【0012】 図2に本発明におけるドレイン電流-ゲート電圧特性の例を示す。必要に応じて図1を参照する。図2において、Initialは書き込みのない場合の特性であり、(1)はドレイン領域3側のアバランシェ降伏により書き込んだ場合（書き込み特性の良い場合）であり、(2)はソース領域2側のアバランシェ降伏により書き込んだ場合（書き込み特性の悪い場合）の特性を示す。図示の特性を得るための動作条件については後述する。

【0013】 図示のように、ドレイン領域3側より書き込んだ場合には、ソース領域2側より書き込んだ場合より閾値電圧が高くなる。図2の特性において、制御電極に印加する電圧を5Vに設定すると書き込みのないInitialの状態ではドレインに大電流が流れ、(2)のソース領域2側より書き込んだ状態ではドレインに小電流が流れ、(1)のドレイン領域3側から書き込んだ状態ではドレイン電流は0である。このことから、ドレイン電流を検出することにより3値の記憶データをセンスすることができる。また、他のセンス方法として第1制御電極に印加するセンスレベル電圧を、例えば3Vと7Vの2つのセンスレベルに設定して順次に印加するようにしてもよい。この場合、3Vのセンスレベル電圧によりInitialであるか(1)もしくは(2)に書き込みがあるかどうかをセンスする。次に、7Vのセンス電圧により(1)と(2)のいずれの状態でも書き込まれたかをセンスする。本発明によれば、3値データとして記憶できるので、2値データとして記憶する場合に比較して実質的に集積度が3/2倍になったこととなる。なお、上記説明においては、nチャネルのFAMOSについて説明したが、本発明は、pチャネルのFAMOSもしくは他の不揮発性半導体記憶装置(SAMOS、EPROM等)において同様の原理により実現可能であ

る。

【0014】また、上記説明では、ソース領域と基板のPN接合に低濃度の領域を設け、書き込み難くする場合について説明したが、本発明はドレイン側とソース側のいずれかでアバランシェ降伏を発生させた場合、ドレイン側で発生させた場合とソース側で発生させた場合とで蓄積電極に蓄積される電荷の量が異なるようにすればよいので、アバランシェ降伏発生条件を異ならしめるようにした上記の構成に限られるものではなく、蓄積電極と基板間の構造を、ドレイン領域側とソース領域側で異ならしめ、アバランシェ降伏により発生した電荷の蓄積し易さを異なるようにしてもよい。また、アバランシェ降伏の発生条件を相違させるためのドレイン領域、ソース領域の構成も上記構造に限られるものではなく、各部の印加電圧も例として示したものであって、これに限られるものではない。

【0015】

【実施例】図3に図1に示す本発明のFAMOS構造(1)をセルアレイとした場合の実施例を示す。図において(a)は平面、(b)はチャネルに平行な方向の断面、(c)はチャネルに垂直な方向の断面を示す。

【0016】図において、21は基板(p-Si)、22はソース領域、23はドレイン領域、24は蓄積電極、25は制御電極、26、27は絶縁層、28は低濃度領域(N⁻)、29は分離分離領域である。図示の構成の製造方法は後述する。

【0017】図4に図3のアレイのブロック回路図を示す。図において、22はソース、23はドレイン、24は蓄積電極、25は制御電極であって、それぞれ図3における番号に対応する。28'は書き込み特性の良い領域であって、図3におけるドレイン領域23と基板21間の低濃度領域28側を示す。図において、B1、B2、B3、B4はドレイン電圧もしくはソース電圧の供給線である。W1、W2は制御電極への電圧供給線(ワード線)である。

【0018】図に点線で囲った部分の素子を選択して書き込み、読み出しする場合の各電圧供給線に印加する電圧は次の通りである。

(1) ドレイン23の側より書き込みを行う場合。

W1 = フロート、
W2 = 約12.5V、
B1 = Float、
B2 = GND、
B3 = 6~8V、
B4 = フロート。

(2) ソース22の側より書き込みを行う場合。

W1 = フロート、
W2 = 約12.5V、
B1 = フロート、
B2 = 6~8V、

B3 = GND、

B4 = フロート。

(3) 読み出しの場合

W1 = フロート、
W2 = 約5V、
B1 = フロート、
B2 = GND、
B3 = 約1V、
B4 = フロート。

10 それぞれの場合のドレイン電流-ゲート電圧特性の例を図2に示す。図2において、(1)、(2)はそれぞれ上記動作条件(1)、(2)の場合を示す。

【0019】ドレイン側とソース側とで蓄積電極と基板間の構造を非対称とすることにより書き込み特性を異なるようにした実施例を図5~図8に示す。図5に本発明のFAMOS構造(2)を示す。図5(a)は本発明のFAMOS構造(2)、図(b)はドレイン領域43から書き込む場合、図(c)はソース領域42から書き込む場合を示す。図(a)、図(b)、図(c)において、41は基板(p-Si)、42はソース領域(N⁺)、43はドレイン領域(N⁺)、44は蓄積電極、45は制御電極、46は絶縁層、46'は絶縁層46の膜厚の厚い部分、46''は絶縁層46の膜厚の薄い部分、47は絶縁層である。

【0020】ドレイン領域43より書き込む場合は図(b)に示すようにドレイン領域43を高電圧(6~8V)、ソース領域42を0Vとする。ソース領域42より書き込む場合は、図(c)に示すようにソース領域42を高電圧(6~8V)、ドレイン領域43を0Vとする。

【0021】本実施例においては、絶縁層46のうち46'の部分は膜厚が厚く、46''の部分は膜厚が薄い構成としてある。そして、膜厚の薄い46''の側で書き込む場合には膜厚の厚い46'の側で書き込む場合より書き込み特性が良好となる。そのため、図(b)のようにドレイン領域43側から書き込む場合は、図(c)のようにソース領域42側から書き込む場合より書き込み特性がよくなり、図(b)の場合には閾値が高くなり、図(c)の場合には閾値は低くなる(図2参照)。

40 【0022】図6に本発明のFAMOS構造(2)をセルアレイとした場合の実施例を示す。図(a)は平面、図(b)はチャネル方向に平行な断面、図(c)は垂直な断面を示す。図において、41は基板、42はソース領域、43はドレイン領域、44は蓄積電極、45は制御電極、46'は絶縁膜の厚い部分、46''は絶縁膜の薄い部分であり、それぞれ図5における番号に対応している。図示の構成の製造方法は後述する。

【0023】図7に本発明のFAMOS構造(3)を示す。図7(a)は本発明のFAMOS構造(3)、図(b)

50 はソース側から書き込んだ場合、図(c)はドレイン側か

ら書き込んだ場合を示す。図(a), 図(b), 図(c)において、61は基板(p-Si), 62はソース領域(N⁺), 63はドレイン領域(N⁺), 64は蓄積電極, 65は制御電極, 66, 67は絶縁層, 68は電極オーバーラップ部分である。

【0024】ドレイン領域63より書き込む場合は、図(c)に示すようにドレイン領域63を高電圧(6~8V), ソース領域62を0Vとする。ソース領域62より書き込む場合は、図(b)に示すようにソース領域62を高電圧(6~8V), ドレイン領域63を0Vとする。

【0025】本実施例においては、蓄積電極64とドレイン領域63とのオーバーラップ部分をソース領域のオーバーラップ部分よりも大きくすることにより、ドレイン領域63からの書き込み特性をソース領域62からの書き込み特性より良くするようにした。そのため、図(b)のようにドレイン領域63からの書き込みによる閾値は図(c)におけるようにソース領域62からの書き込みによる閾値より大きくなる(図2参照)。

【0026】図8に本発明のFAMOS構造(3)をセルアレイとした場合の実施例を示す。図(a)は平面、図(b)はチャネル方向に平行な断面、図(c)はチャネル方向に垂直な断面を示す。図において、61は基板、62はソース領域、63はドレイン領域、64は蓄積電極、65は制御電極、66, 67は絶縁層、68はデータ電極のオーバーラップ部分であり、それぞれ図6における番号に対応している。図示の構成の製造方法は後述する。

【0027】図9~図11により本発明のFAMOS構造(1)(図1の構造)の製造方法の実施例を示す。図9~図11において、左側の図はチャネル方向に垂直な断面図を示し、右側の図はチャネル方向に平行な断面を示す。各図における①~⑧は工程順を示す。また各図における同一番号は同一部分を示す。図9~図11を参照して番号順に本発明の製造方法を説明する。

【0028】① シリコン基板111上にゲート酸化膜112(膜厚約100~400Å)を形成する。② ゲート酸化膜112に導電性の蓄積電極層(膜厚1000~2000Å)113を設け、パターニングする。さらに、蓄積電極層113に電極間酸化膜114を形成する。③ それぞれの素子の片側にレジスト膜115をパターニングしてN⁻型イオン注入領域116を形成する(ドーザ量約 $1 \times 10^{14} \sim 10^{15}$ atom/cm²)。④ レジスト膜115を除去し、各素子の両側にN⁺型イオン注入領域117を形成する(ドーザ量約 $1 \times 10^{15} \sim 10^{16}$ atom/cm²)。⑤ 制御電極用の導電層(膜厚約1000~2000Å)118をデポジットする。⑥ 制御電極用の導電層118をパターニングし、さらにパターニングした制御電極用の導電層118をマスクとしてセルフアライメントにより電極間酸化膜114と蓄積電極層113のパターニングを行う。⑦

導電層118に層間絶縁酸化膜(膜厚約100~400Å)を形成し、チャネルカット領域117'のイオン注入を行う。さらに、層間絶縁膜(5000Å~1μm)120を形成する。⑧ コンタクトホール形成、A1配線121のパターニング、カバー膜122の形成を行い終了する。

【0029】図12~図13に本発明のFAMOS構造(2)(図5のFAMOS(2))の製造方法の実施例を示す。図12~図13を参照して番号順に本発明の製造方法を説明する。

【0030】① シリコン基板111上にゲート酸化膜112(膜厚約100~400Å)を形成する。② 蓄積電極が形成されるゲート酸化膜112上の一部分をエッチングし、薄膜酸化により薄膜酸化膜(膜厚約100Å)123を形成する。③ 蓄積電極の導電層(膜厚約1000~2000Å)をデポジットし、ゲート酸化膜112と123の厚い部分と薄い部分の境界のエッジを覆うようにパターニングする。④ 蓄積電極層113上に酸化膜を形成し、さらに各素子の両側にN⁺型イオン注入領域117を形成する。⑤ 制御電極用の導電層(膜厚約1000~2000Å)118をデポジットする。以降の処理は、図10~図11における⑥~⑧の処理と同様である。

【0031】図14~図15に本発明のFAMOS構造(3)(図7のFAMOS(3))の製造方法の実施例を示す。図14~図15を参照して番号順に本発明の製造方法を説明する。

【0032】① シリコン基板111上にゲート酸化膜112(膜厚約100~400Å)を形成する。② 蓄積電極の導電層(膜厚約1000~2000Å)を形成してパターニングを行い、さらにその表面に電極間酸化膜(膜厚約100~400Å)114を生成する。③ N型イオン注入用のレジスト膜115を施し、各素子の片側(図における領域124)をパターニングしてイオン注入領域124を形成する。そして、アニールを施して領域124を拡大させる。④ レジスト膜115を取り除き、各素子の両側(図における領域125および領域124)にイオン注入する。もしくは、すでにイオン注入された領域124にはマスクを施して、イオン注入されていない方の領域125にイオン注入を行う。⑤ 制御電極用の導電層(膜厚約1000~2000Å)118をデポジットする。以降の処理は、図10~図13における⑥~⑧の処理と同様である。

【0033】

【発明の効果】本発明の不揮発性半導体記憶装置によれば、情報を多値データとして記憶することができる。そのため、実質的な記憶容量の大きい記憶装置が、特別に高度なプロセス技術を用いることなく、従来の集積回路のプロセス技術により得られる。

【図面の簡単な説明】

【図1】本発明の基本構成を示す図である。

【図2】本発明のドレイン電流-ゲート電圧特性の例および第2制御電極の実施例を示す図である。

【図3】本発明のFAMOS構造(1)のセルアレイの実施例を示す図である。

【図4】本発明の動作説明図を示す図である。

【図5】本発明のFAMOS構造(2)を示す図である。

【図6】本発明のFAMOS構造(2)のセルアレイの実施例を示す図である。

【図7】本発明のFAMOS構造(3)を示す図である。

【図8】本発明のFAMOS構造(3)のセルアレイの実施例を示す図である。

【図9】本発明のFAMOS構造(1)の製造方法(その1)を示す図である。

【図10】本発明のFAMOS構造(1)の製造方法(その2)を示す図である。

【図11】本発明のFAMOS構造(1)の製造方法(その3)を示す図である。

【図12】本発明のFAMOS構造(2)の製造方法(そ

の1)を示す図である。

【図13】本発明のFAMOS構造(2)の製造方法(その2)を示す図である。

【図14】本発明のFAMOS構造(3)の製造方法(その1)を示す図である。

【図15】本発明のFAMOS構造(3)の製造方法(その2)を示す図である。

【図16】従来の蓄積電極MOS半導体装置を示す図である。

【符号の説明】

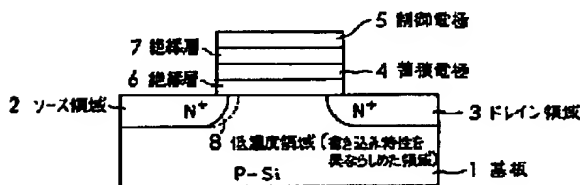
- 1 基板(p-Si)
- 2 ソース領域
- 3 ドレイン領域
- 4 蓄積電極
- 5 制御電極
- 6 絶縁層
- 7 絶縁層
- 8 低濃度領域(書き込み特性を異ならしめた領域)

【図1】

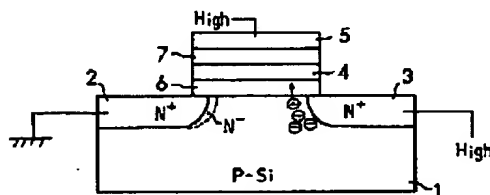
【図2】

本発明の基本構成

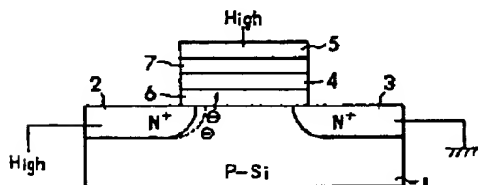
本発明のドレイン電流-ゲート電圧特性の例



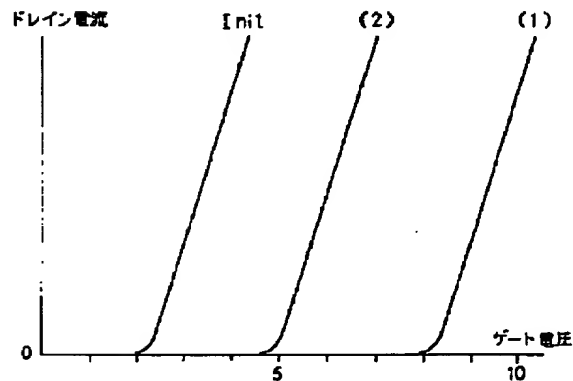
(a) 本発明のFAMOS構造(1)



(b) ドレイン側からの書き込み

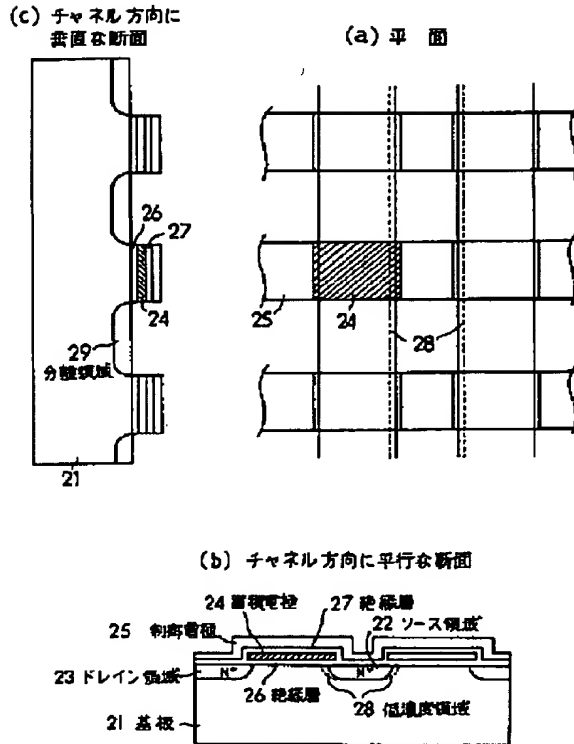


(c) ソース側からの書き込み



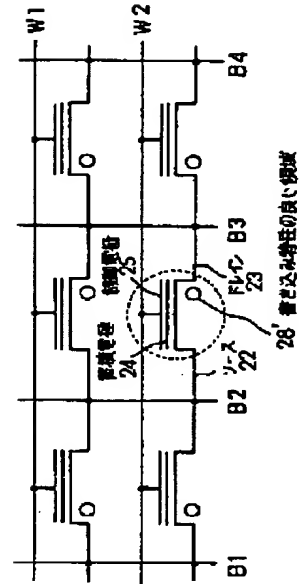
【図3】

本発明のFAMOS構造(1)のセルアレイ



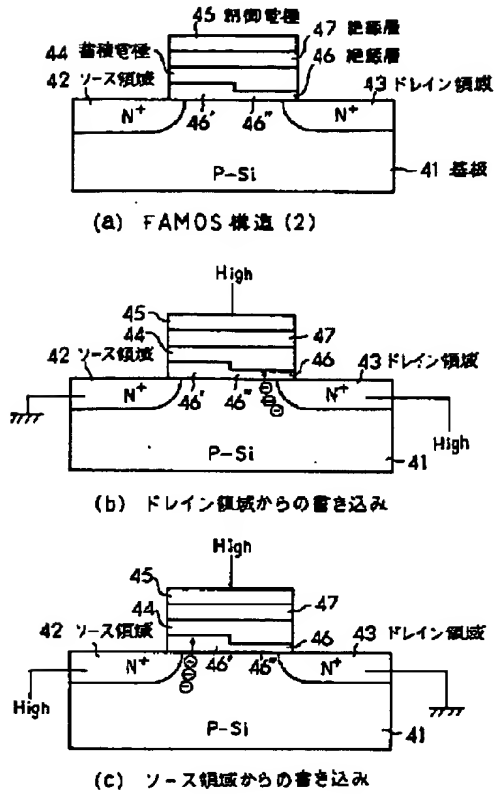
【図4】

本発明の動作説明図



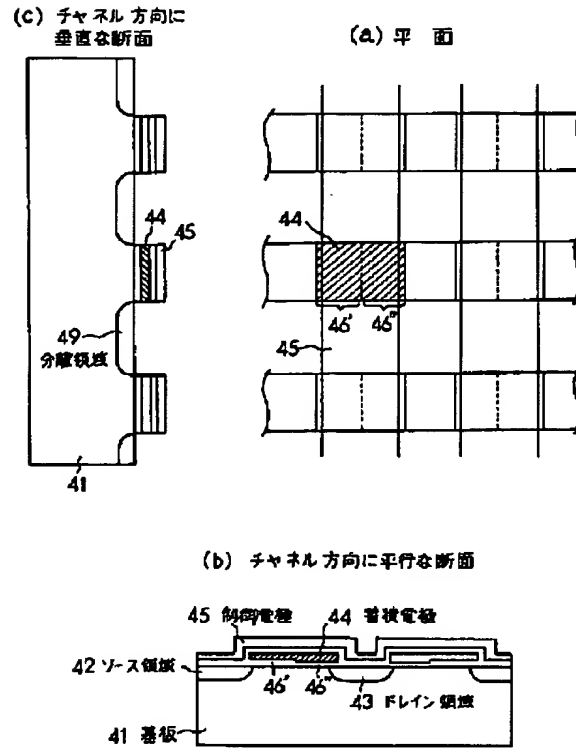
【図5】

本発明のFAMOS構造(2)



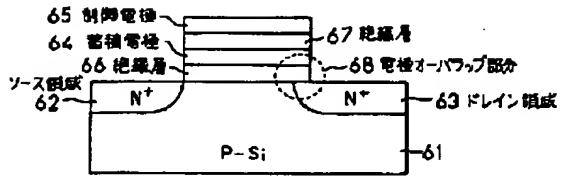
【図6】

本発明のFAMOS構造(2)のセルアレイ

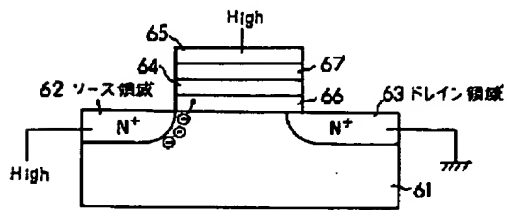


【図7】

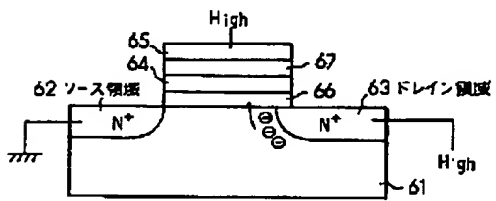
本発明のFAMOS構造(3)



(a) FAMOS構造



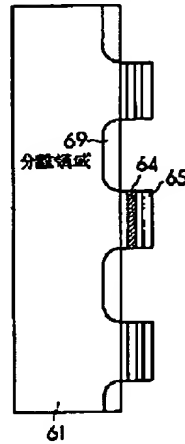
(b) ソース側からの書き込み



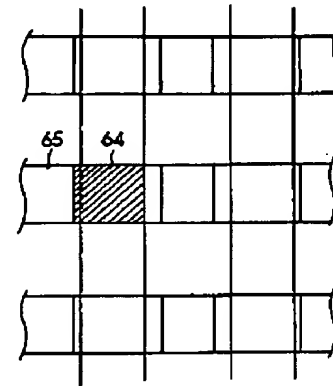
(c) ドレイン側からの書き込み

【図8】

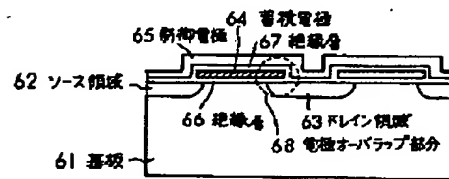
本発明のFAMOS構造(3)のセルアレイ

(c) チャネル方向に
垂直な断面

(a) 平面

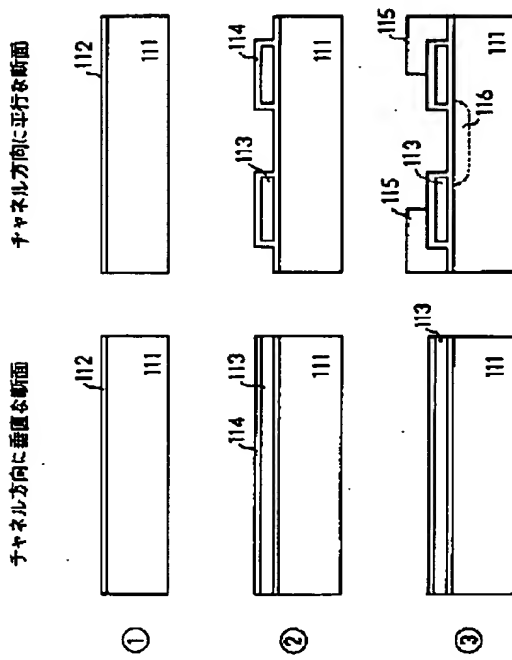


(b) チャネル方向に平行な断面



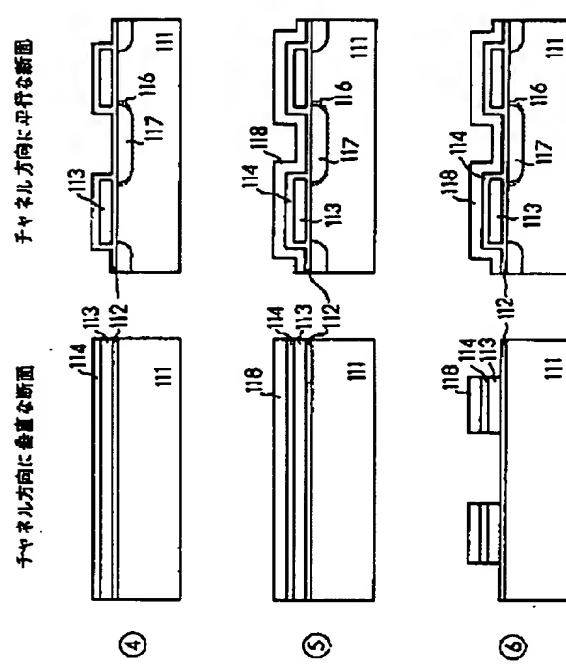
【図9】

本発明のFAMOS構造(1)の製造方法
(その1)



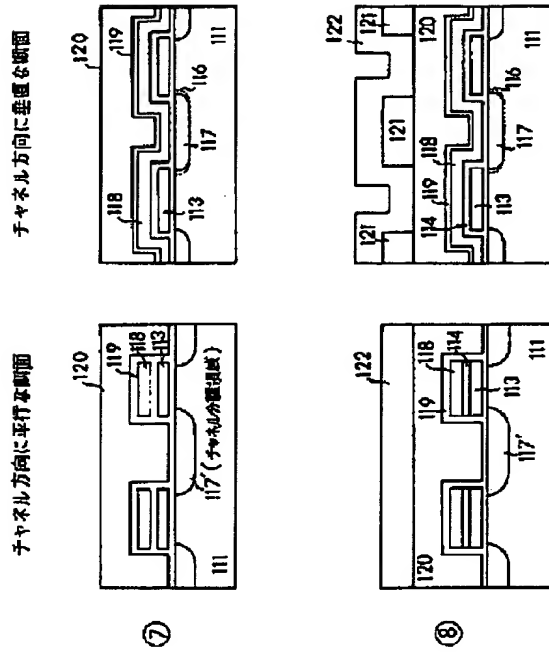
【図10】

本発明のFAMOS構造(1)の製造方法
(その2)



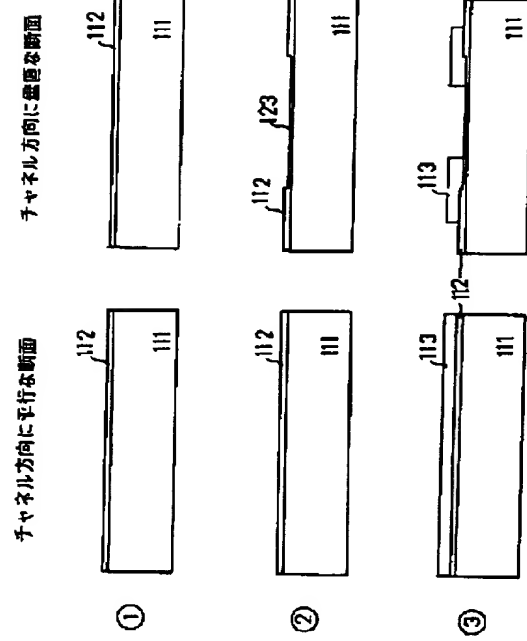
【図11】

本発明のFAMOS構造(1)の製造方法
(その3)



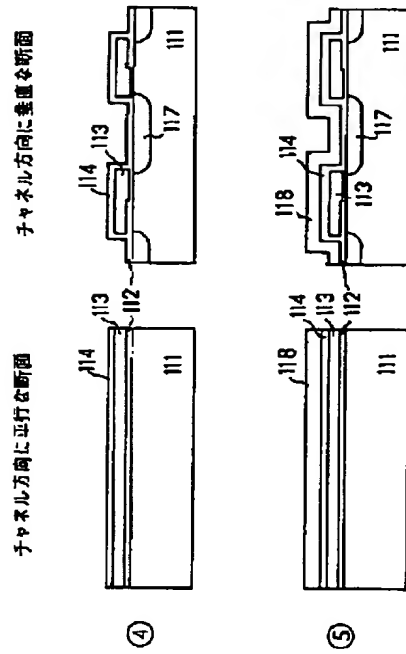
【図12】

本発明のFAMOS構造(2)の製造方法
(その1)



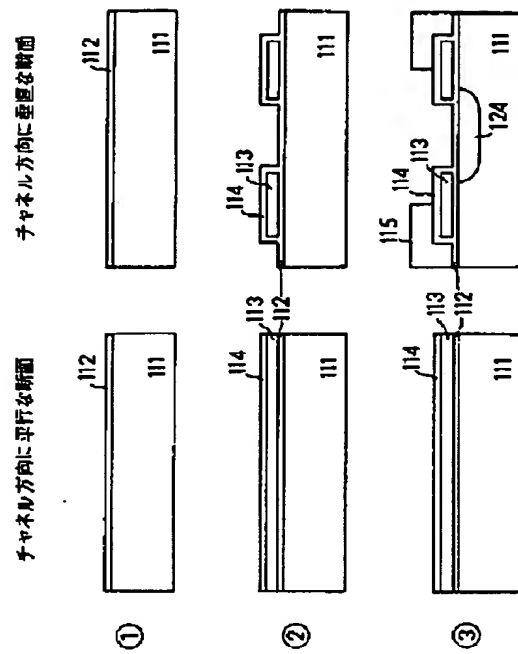
【図13】

本発明のFAMOS構造(2)の製造方法
(その2)



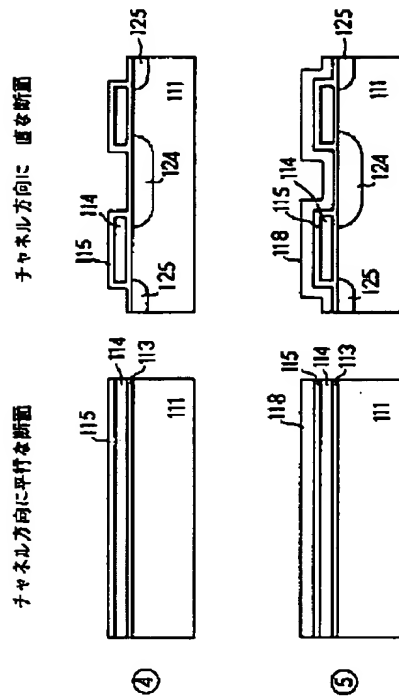
【図14】

本発明のFAMOS構造(3)の製造方法
(その1)



【図15】

本発明のFAMOS構造(3)の製造方法
(その2)



【図16】

従来のフローティングゲートMOS半導体装置

